

杜一鸣

☎19965368305 ✉iamadoga@163.com



教育背景

北京大学 • 导师：蔡一茂

联合培养 • 2024 年 3 月–2026 年 6 月

集成电路设计工程 | AI for EDA

安徽大学 • 导师：朱明

硕士 • 2023 年 9 月–2024 年 3 月

集成电路设计工程 | GPA: 4.2 排名: 9/96

安徽工程大学 • 电子信息科学与技术

学士 • 2018 年 9 月–2022 年 6 月

实习经历

北京伦研究所 • AIforscience 研究所 (北大科技园)

2024 年 6 月–2024 年 12 月

- 构建面向科研场景的 **多模态知识采集与语义生成系统**，融合 LangChain 任务链设计与 Claude 3.5 多轮交互能力，支持从 PDF 文本与图像中提取关键结构与语义内容
- 搭建基于 Streamlit 的前端系统，集成 **图像重点性判别、论文结构解析、摘要生成与展板重构**等任务模块，实现从非结构化输入到高质量 Markdown 摘要与 HTML 展示的全流程自动化
- 基于自动采集构建的数据集完成 LLM 微调训练，显著提升电路语义抽取准确率至 **98%**，推理效率提高 **80%**，系统整体响应时延控制在 **8s** 内

项目经历

数字后端布局优化

- 首创将大语言模型 (GPT-4o) 与多智能体协同引入宏单元布局优化，实现分析 → 分组 → 布局 → 验证” 闭环迭代
- 提出多智能体宏单元布局协同优化框架，包含 Analysis、Group、Floorplan 与 Verification 四大智能体，闭环解析约束、语义聚类与反馈驱动迭代优化
- 设计 ModuLink Weight Analyzer 与 Standard Cell Usability Score 两大辅助工具，引导布局生成与质量评估
- 框架适配 Nangate45、Sky130 等多工艺节点与多规模 benchmark，具备自动弱化约束、跨层次优化能力，展现量产级部署价值。
- 在多种高密度 RISC-V 核心与工艺节点上，PPA 指标领先传统 OpenROAD 流程，在高密度设计场景下，相较于传统 OpenROAD 流程，恢复约 93.39% 总负时延 (TNS)、67.74% 最差负时延 (WNS)，并减少 0.54% 布局面积

模拟前端全流程的优化

- 构建以 LLM 为核心的自动化知识库生成与数据采集系统，实现从用户需求与规范出发，驱动结构化知识生成与电路数据抓取
- 引入 Fine-tuning/RAG 技术，提升大模型对设计语义与工艺规则的理解能力，用于拓扑生成、参数调优等多个阶段
- 搭建 gm/id 电路扫描机制，结合不同放大器结构智能提取关键节点，获得“拓扑 + 需求 + 规格”三位一体的数据集
- 实现流程闭环，包括拓扑生成、参数调优、网表输出与仿真验证，满足不同工艺规范约束下的电路设计迭代需求

多模态知识采集与语义生成系统开发 /北京论论研究所/

- 构建面向科研场景的**多模态知识采集与语义生成系统**，融合 LangChain 任务链设计与 Claude 3.5 多轮交互能力，实现从 PDF 文本与图像中自动提取关键结构与语义；

- 搭建基于 Streamlit 的前端展示平台，集成图像重点性判别、论文结构解析、摘要生成与展板重构等模块，实现从非结构化输入到 Markdown 与 HTML 动态展示的全流程自动化；
- 设计并封装 Anthropic API 接口，支持多模态上下文注入、Token 成本动态监控与聊天缓存持久化，显著提升系统鲁棒性与交互效率；

掌握技能

EDA 工具：熟练使用 Cadence Innovus 与 OpenROAD 完成 SoC/ASIC 级高密度宏单元布局及时序收敛优化；精通 Cadence Virtuoso，可独立进行模拟前后端全流程

大语言模型 (LLM)：掌握指令微调、SFT、LoRA、RAG 等关键技术，并具有相关实践经验

编程语言：精通 Python、Verilog，具备算法原型开发、设计流程脚本化及算法加速优化能力

学术写作：熟悉论文写作规范，具有独立撰写和投稿高水平学术论文的实战经验

论文发表

[DATE'26](已发表) Yiming Du (一作), RenYe Yan, et al. *CHIP-MAP: A Collaborative Optimization Framework for Macro Placement Using Large Language Models*. In *Proc. Design, Automation and Test in Europe Conf. (DATE)*, 2026. (CCF B)

[DATE'26](已发表) Jiajun Tan, Qichao Ma, Yiming Du (二作), et al. *SONIC: Smart Optimization for Neural-Integrated CMP with Timing-Aware Fills*. In *Proc. Design, Automation and Test in Europe Conf. (DATE)*, 2026. (CCF B)

[TCAD](在投) Yiming Du (一作), RenYe Yan, et al. *CircuitMind: Neural Reasoning System for Analog Design Intelligence with Large Language Models*. In *Proc. Design Automation Conf. (DAC)*, 2026, under review. (CCF A)

[TCAD](在投) RenYe Yan, Yiming Du (共一), et al. *NeuronLite: An Optimization Framework for Developing Energy-Efficient Neural Network Accelerators on ReRAM*. *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems (TCAD)*, under review. (SCI)

[CVPR'27](在投) Jikang Cheng, RenYe Yan, Yiming Du (参与), et al. *SDRL: Self-Distillation Reinforcement Learning to Mitigate Sparse Rewards and Reward Hacking in Diffusion Model Fine-Tuning*. In *Proc. IEEE/CVF Conf. Computer Vision and Pattern Recognition (CVPR)*, 2026, under review. (CCF A)

[CVPR'27](在投) RenYe Yan, Jikang Cheng, Yiming Du (参与), et al. *FakeScore: Evaluating and Prompting the Reality and Quality of Generated Image*. In *Proc. IEEE/CVF Conf. Computer Vision and Pattern Recognition (CVPR)*, 2026, under review. (CCF A)

专利申请

[发明专利](实质审查) 蔡一茂, 梁令, 杜一鸣, 王宗巍, 等. 一种基于大语言模型的宏单元布局评估优化方法. 中国发明专利, 申请号 202510751333.6.

[发明专利](实质审查) 朱明, 梁令, 杜一鸣, 等. 基于大语言模型的渐进式宏单元布局优化方法及其设备. 中国发明专利, 申请号 202510832720.2.